试卷代号:2069　　座位号□□

中央广播电视大学2001—2002学年度第一学期"开放专科"期末考试

计算机专业计算机组成原理与汇编语言试题

2002年1月

题　号	一	二	三	四	五	总　分
分　数						

得　分	评卷人

一、单项选择题(在每小题的四个备选答案中,选出一个正确的答案,并将其代码填入括号内。每小题2分,共20分)

1　若十六位进制数为A3 5,则其十进制数为(　　)。

A　163 3125　　B　172 5

C　179 75　　D　188 5

2　若$X_{原}=0\ 1101010$,则$X_{补}=$(　　)。

A　1 0010101　　B　1 0010110

C　0 0010110　　D　0 1101010

3　某定点整数16位,含1位符号位,原码表示,则其绝对值最大负数为(　　)。

A　$-(2^{15}-1)$　　B　$-(2^{16}-1)$

C　-2^{15}　　D　-2^{16}

4　某浮点数字长32位;其中阶码8位,含1位阶符,补码表示,R=2,尾数24位,含1位数符,补码表示,规格化。则其绝对值最大负数为(　　)。

A　$-2^{7}(1-2^{-23})$　　B　$-2^{127}(1.-2^{-23})$

C　$2^{127}(-1)$　　D　$2^{128}(-1)$

5　补码加法运算是指(　　)。

A　操作数用补码表示,符号位单独处理

B　操作数用补码表示,连同符号位一起相加

C　操作数用补码表示,将加数变补,然后相加

D　操作数用补码表示,将被加数变补,然后相加

6 指令寄存器的内容是(　　)。

A 数据地址　　B 数据

C 指令地址　　D 指令

7 在浮点数加减运算中(　　)。

A 阶码部分与尾数部分分别进行加减运算

B 阶码与尾数作为一个整体进行加减运算

C 阶码对齐后,尾数相加减运算

D 尾数单独加减,取两数中最大阶码值作为结果的阶码值

8 磁盘存储器多用作(　　)。

A 主存　　B 高速缓存

C 外存　　D 固存

9 地址线 A_{15}(高)~A_0(低),用4K×4 的存储芯片组成16KB 存储器,则加至各存储芯片上的地址是(　　)。

A $A_{15} \sim A_0$　　B $A_{11} \sim A_0$

C $A_9 \sim A_0$　　D $A_{12} \sim A_0$

10 隐地址是指(　　)的地址。

A 用寄存器号表示　　B 存放在主存单元中

C 存放在寄存器中　　D 事先约定,指令中不必给出

得　分	评卷人

二、改错题(下列各小题均有错,请针对题意改正其错误;或补充其不足。每小题2 分,共16 分)

1 并行加法器的运算速度主要取决于全加器单元的速度。

2 在微程序控制方式中,由一条微指令的顺序控制字段产生微命令。

3 磁盘采用顺序存取方式。

4 若总线地址为24 位,则最大访存空间为4M。

5 在8086CPU 中,访存的指令地址只由指令指针 IP 提供。

6 堆栈是在主存中划出的一个特殊区域,故可随机访问。

7 在 CPU 内部既可采用同步控制方式,也可以采用异步控制方式。

8 在字符显示方式中,显示缓存中存放的是字符点阵信息。

得　分	评卷人

三、简答题(30 分)

1　何谓向量中断方式？(5 分)

2　何谓 CPU 内总线？系统总线上一般包含哪三组信息？(6 分)

3　何谓 DMA 方式？说明它的一般适用场合,并举一个实用例子。(6 分)

4　某主存容量 32KB,用 4 片 RAM 组成,8KB/每片,地址线 A_{15}(高) ~ A_0(低),试列出各片选信号的逻辑式。(8 分)

5　何谓组合逻辑控制方式？有何优缺点？(5 分)

得　分	评卷人

四、分析题(阅读程序段后给出其运行结果。每个 3 分,共 12 分)

1　VAR1　DW　20H

　　VAR2　　DW　40H

```
        MOV     AX, VAR1
        CMP     AX, VAR2
        JE      OK1
        MOV     CX, 0
        JMP     NEXT
OK1     MOV     CX, 0FFFFH
NEXT.
```

上述程序段运行后(CX) = _____,ZF = _____。

2 设(SP) =100H, (AX) =0FFFFH

```
STC
PUSH   AX
ADC    AX, 0
PUSH   AX
POP    BX
```

上述程序段运行后(BX) = _____,(SP) = _____。

得　分	评卷人

五、设计题(22 分)

1 编写计算 $4A^2 - B + 10$ 多项式值的程序段(10 分)

说明:

(1)多项式值存于 AX 中,A、B 是无符号数,设中间和最后结果不超过 16 位二进制数。

(2)数据说明·A　DW　0AH

　　B　DW　10H

2 以模型机组成为背景,拟定减法指令"SUB(R_3) + , R_0"的读取与执行流程。该指令的源操作数寻址方法采用寄存器方式,指定 R_0 存放源操作数,目的操作数采用自增型寄存器间址方式,指定 R_3 为间址寄存器。(12 分)

试卷代号:2069

中央广播电视大学2001—2002学年度第一学期“开放专科”期末考试

计算机专业计算机组成原理与汇编语言

试题答案及评分标准

（供参考）

2002年1月

一、单项选择题(每个2分,共20分)

1 A	2 D	3 A	4 C	5 B
6 D	7 C	8 C	9 B	10 D

二、改错题(每个2分,共16分)

评分原则:

1 题中已说明“均有错”,故仅作正误判别者不给分。

2 与原题的命题无关的结论,原则上不给分。

3 仅否定原命题而未给出明确结论者、答案不确切者。酌情扣分。

以下为参考答案.

1 并行加法器的运算速度主要取决于进位链的结构。

2 在微程序控制方式中,是由微指令的微操作控制字段产生微命令。

3 磁盘采用直接存取方式。

4 若总线地址为24位,则最大访存空间为16M。

5 在8086CPU中,是由CS和IP的内容合成访存的指令地址。

6 堆栈即使是在主存中划出的一个特殊区域,也不能随机访问,堆栈是按后进先出或先进后出的方式进行访问的。

7 在CPU内部一般都选取同步控制方式。

8 在字符显示方式中,显示缓存中存放的是字符代码。

三、简答题(30 分)

1. (5 分)

事先将各处理程序入口地址(中断向量)组织在中断向量表;存放在主存的特定区域中,当 CPU 响应中断时,由硬件直接产生对应于中断源的向量地址,按该地址访问向量表,读取相应的中断处理程序入口地址,转入相应的中断服务程序。

2 (每个 3 分,共 6 分)

(1)CPU 内总线,通常是一组数据线,用来连接 CPU 内部的各个寄存器与算术逻辑运算部件。

(2)系统总线上一般包括地址线、数据线和控制信号线,分别传送地址、数据和控制信息。

3 (6 分)

DMA 方式是一种直接依靠硬件在主存与 I/O 设备间进行数据直接传送的工作方式,在数据传送期间不需 CPU 程序干预。它适用于主存与高速外设之间批量数据的简单传送。如磁盘通常采用 DMA 方式。

4 (每个 2 分,共 8 分)

片选信号为:$\overline{CS_0} = \overline{A_{14}}\ \overline{A_{13}}$　　$\overline{CS_1} = \overline{A_{14}}A_{13}$　　$\overline{CS_2} = A_{14}\overline{A_{13}}$　　$\overline{CS_3} = A_{14}A_{13}$

5 (5 分)

组合逻辑控制方式是指·用组合逻辑电路综合产生微命令的逻辑条件与时序条件,从而输出微命令序列,以控制实现机器指令。(3 分)

优点是产生微命令的速度快,缺点是不规整、繁琐、凌乱,不易修改与扩充。(2 分)

四、分析题(每个 3 分,共 12 分)

1 (CX) =0,　　ZF =0

2 (BX) =0,　　(SP) =FEH

五、设计题(22 分)

1 (10 分)

```
MOV     AX,A
MUL     A
```

MOV　　CL,2

SHL　　AX,CL

SUB　　AX,B

ADD　　AX,10

2（12分）

PC→MAR

M→MDR→IR,PC + 1→PC

R_0→C

R_3→MAR

M→MDR→D

R_3 + 1→Z

Z→R_3

C - D→Z

Z→MDR

MDR→M

（注:C、D 可交换使用。）